



MICRO
compatible

AI8S-5A
Модуль изолированных
аналоговых входов с
параллельным измерением

Руководство пользователя

Doc. AI8S-5A.doc
Ver. 09.01

Содержание

Глава 1 ОБЩИЕ СВЕДЕНИЯ	1
Назначение	1
Подключение аналоговых сигналов	2
Подключение цифровых выходов	2
Глава 2 УСТАНОВКА И НАСТРОЙКА	3
Установка Базового адреса	3
Установка линии прерываний	4
Подключение шунтирующих резисторов для измерения тока	4
Установка линии запроса канала DMA	5
Глава 3 УПРАВЛЕНИЕ МОДУЛЕМ	5
Составные части модуля	5
Режимы работы модуля	6
Программный запуск/ Считывание в опросе	6
Запуск таймера	6
Пуск от таймера/ Считывание в опросе	6
Пуск от таймера/ Считывание по прерыванию	7
Пуск от таймера/ Считывание по каналу DMA	7
Выбор входа плат расширения AIMUX-32, MUX-16	8
Запись выборок в FIFO [FIFO]	8
Назначение портов	8
Глава 4 ТЕХНИЧЕСКИЕ ДАННЫЕ	15
Расположение компонентов платы	15
Технические характеристики	15
Таблицы контактов разъемов	16
Таблица контактов разъема ISA ряд А	16
Таблица контактов разъема ISA ряд В	16
Таблица контактов разъемов J1, J2, J3: Аналоговые входы	17
Таблица контактов разъема J4: Цифровые выходы	17
Глава 5 ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА	18

Глава 1 ОБЩИЕ СВЕДЕНИЯ

Назначение

Модуль AI8S-5 выполнен в стандарте MicroPC и предназначен для одновременного измерения 8-ми аналоговых сигналов напряжения или тока.

Все входы-выходы платы гальванически изолированы от системы (групповая изоляция), кроме того, аналоговые входы имеют защиту от перенапряжения.

Основные характеристики платы :

- ☞ Подключение кабелем СМА-20 или через разъемные клеммы
- ☞ 14-разрядный АЦП ± 10 В;
- ☞ Шунтирующие резисторы для измерения токов ± 80 мА
- ☞ Время преобразования АЦП 6 мкс
- ☞ Время установления (0.01%) входов и/или изменения коэффициента усиления 7 мкс¹
- ☞ Защита от перенапряжения ± 40 В
- ☞ Входное сопротивление каналов > 10 МОм
- ☞ Коэффициент усиления каналов 1
- ☞ $10, 100^2$
- ☞ Точность измерения ± 2 МЗР
- ☞ Скорость преобразования по любому каналу 100000 выб/сек
- ☞ Скорость считывания данных 800000 выб/сек³
- ☞ 2х12-разрядных ЦАП $0..5/\pm 5/0..10$ В; $0..20/4..20$ мА
- ☞ 16-разрядный таймер с частотой 0.1/ 1 МГц
- ☞ 16 изолированных цифровых выходов
- ☞ Совместимость с платами расширения AIMUX-32, MUX-16
- ☞ Автосканирование каналов плат AIMUX-32, MUX-16
- ☞ ОЗУ коэффициентов усиления входов для платы AIMUX-32
- ☞ Запуск АЦП: программный или по таймеру
- ☞ Считывание из АЦП: в режиме опроса, по прерыванию или по каналу DMA
- ☞ FIFO выборка 1 Кслов
- ☞ 5 линий разделяемых аппаратных прерываний (IRQ3...7)
- ☞ 2 линии разделяемых запросов канала DMA (DRQ/DACK1,3)
- ☞ Групповая опто-изоляция от системы 1000 В
- ☞ Работа от -40 С до +85 С

¹ для коэффициента усиления G=1

² конфигурация на заказ

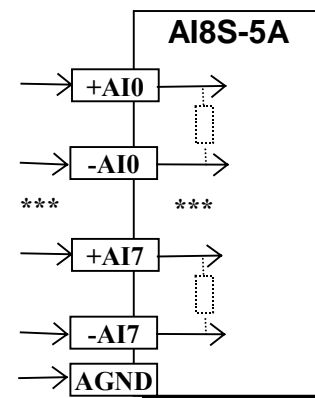
³ по каналу DMA процессора CPU188-5 в режиме FAST

Подключение аналоговых сигналов

Подсоединение входных ($\pm AI0 \dots \pm AI7$) и выходных (DAC0, DAC1) аналоговых сигналов производится либо отдельными проводами к разъемному клеммному соединителю J1, либо кабелем СМА-20 к вилкам J2, J3.

ВНИМАНИЕ !

Для улучшения работы модуля неиспользуемые входы следует соединить на разъеме J1 с линией AGND.

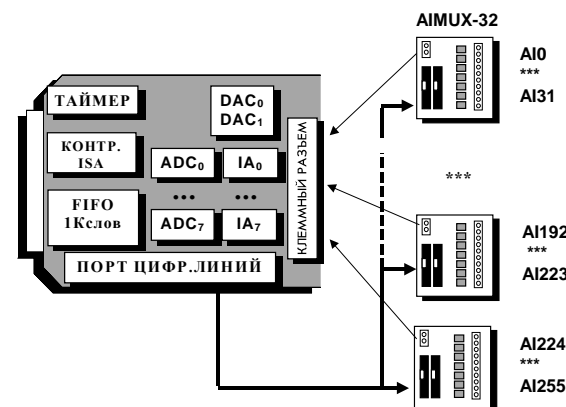


Модуль позволяет измерять до 8-ми дифференциальных сигналов напряжения или тока. Дифференциальные сигналы подключаются парой проводов к соответствующим линиям:

$+AIx, -AIx$, где $x=0\dots7$, а общий провод или плавающая земля, если необходимо, соединяется с линией AGND.

Однопроводные сигналы подключаются к соответствующим контактам: $+AIx$, где $x=0\dots7$, общий провод соединяется с линиями $-AIx, AGND$.

Подключение цифровых входов



Для управления платами AIMUX-32, MUX-16 может использоваться изолированный порт цифровых выходов.

Подключение выходов осуществляется кабелем СМА-26 через разъем J4.

ВНИМАНИЕ !

Внутренний изолированный источник питания модуля AI8S-5A (сигналы +5V, GND на разъеме J4) может быть использован для питания **только одной** платы AIMUX-32A, для большего количества плат необходимо использовать внешний источник питания +5 V.

Глава 2 УСТАНОВКА И НАСТРОЙКА

Модуль может быть установлен в монтажные корзины **Micro PC**, в слоты компьютеров **IBM PC** или объединен **гибким шлейфом** с краевыми разъемами к другим модулям.

ВНИМАНИЕ !

Плата содержит чувствительные элементы. Установка, снятие модуля или подключение к разъемам при **включенном питании**, а также **статический заряд** ваших рук могут вывести их из строя.

ВНИМАНИЕ !

При установке в слоты **ISA компьютеров** или другие **крейты** необходимо соблюдать правильную ориентацию модуля относительно 62-х контактного разъема (ряды А, В). **Неправильная установка (с разворотом на 180°) приводит к выходу модуля из строя.**

ВНИМАНИЕ !

Перед включением платы необходимо убедиться в правильности установки групп перемычек:

BA[5:0]; IRQ[7:3]; W[28:21]; W[5:0]

Установка Базового адреса

Перемычки **BA[5:0]** позволяют установить Базовый Адрес модуля или сегмент адреса в области ввода-вывода (IO), в котором модуль будет доступен системе. При совпадении битов адреса **SA[9:4]** с битами **BA[5:0]** в циклах чтения-записи в области IO, произойдет обращение к модулю и загорание светодиода обращения.

Базовый Адрес (Hex)	BA5	BA4	BA3	BA2	BA1	BA0
000h	0	0	0	0	0	0
010h	0	0	0	0	0	1
...
100h	0	1	0	0	0	0
110h*	0	1	0	0	0	1
...
200h	1	0	0	0	0	0
...
3E0h	1	1	1	1	1	0
3F0h	1	1	1	1	1	1

* = установлено при поставке

1= перемычка замкнута, 0= перемычка разомкнута

ВНИМАНИЕ !

Неправильная установка базового адреса может привести к конфликтам с оборудованием Вашей системы. Перед включением платы убедитесь, что установленный **BA** не используется в системе.

Установка линии прерывания

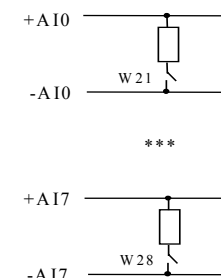
Модуль может использовать 5 линий прерываний (IRQ3, 4, 5, 6, 7). Для установки линии необходимо замкнуть соответствующую перемычку **IRQx**, где $x=3 \dots 7$. Одна линия прерывания может использоваться несколькими модулями (разделяемая линия). При поставке перемычки не установлены, что соответствует отсутствию генерации прерываний.

Подключение шунтирующих резисторов для измерения токовых входов

Группа перемычек **W[28:21]** предназначена для подключения шунтирующих резисторов 250 Ом между соответствующими аналоговыми входами $\pm Ai[7:0]$ при измерении сигналов тока (только дифференциальное подключение).

При подключении токового сигнала перемычку соответствующего резистора необходимо замкнуть.

При поставке все перемычки разомкнуты.



Установка диапазона аналоговых выходов

Диапазон аналоговых выходов **DAC[1:0]** модуля **AI8S-5A** устанавливается перемычками **W[5:1]** (см Табл.).

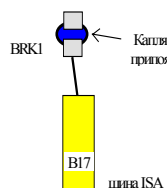
Диапазон DAC0	Диапазон DAC1	W1	W2	W3	W4	W5
0...+5 В	0...+5 В	-	-	-	[1-2]	[1-2]
0...+5 В	0...+10 В	-	-	[2-3]	[2-3]	[1-2]
0...+5 В	-5...+5 В	-	-	[1-2]	[2-3]	[1-2]
0...+10 В	0...+5 В	-	-	[2-3]	[1-2]	[2-3]
0...+10 В	0...+10 В	-	-	[2-3]	[2-3]	[2-3]
-5...+5 В	0...+5 В	-	-	[1-2]	[1-2]	[2-3]
-5...+5 В*	-5...+5 В*	-	-	[1-2]	[2-3]	[2-3]
0...20 мА	0...20 мА	[1-2]	[1-2]	-	-	-
4...20 мА	4...20 мА	[2-3]	[2-3]	-	-	-

* = установлено при поставке

- = перемычки отсутствуют

Установка линии запроса канала DMA

Модуль может использовать 2 разделяемых линии запроса канала DMA (DRQ1/DACK1, DRQ3/DACK3). Установка линии осуществляется программно и рассмотрена в Главе 3. После включения питания каналы не используются.



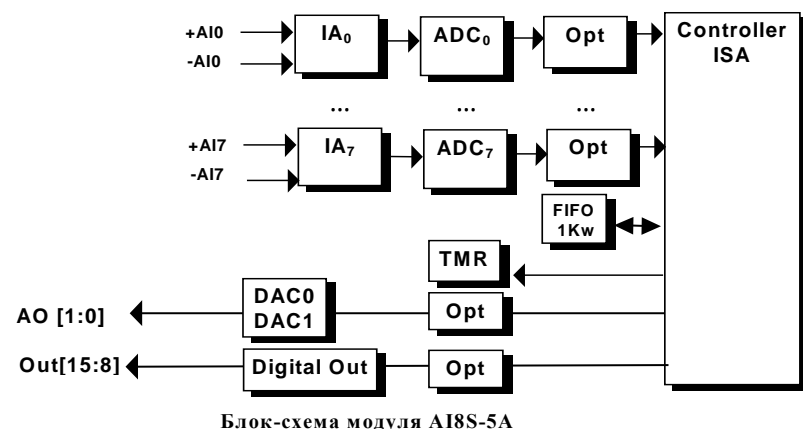
Для корректной работы с процессорными модулями 60x0 Octagon Systems, нестандартно использующими линию DACK1, в модуле AI8S-5A установлена планарная переключатель BRK1, позволяющая замыкать/размыкать линию DACK1 с контактом B18 (при поставке разомкнута). Если необходимо использовать линию DACK1, переключатель BRK1 должна быть замкнута (см. Рис.).

Глава 3 УПРАВЛЕНИЕ МОДУЛЕМ

Составные части модуля

Плата AI8S-5 содержит следующие функциональные блоки:

- Инструментальные усилители (IA0...IA7)
- Аналого-цифровые преобразователи (ADC0...ADC7)
- Цифро-аналоговые преобразователи (DAC0, DAC1)
- порт цифровых выходов
- Блоки оптической развязки (Opt)
- FIFO выборок (FIFO)
- Таймер (TMR)
- Контролер шины ISA



Режимы работы модуля

Модуль AI8S-5A позволяет работать в следующих режимах запуска/считывания АЦП:

- программный пуск/считывание в режиме опроса [FIFO][n++]
- пуск от таймера/считывание по биту готовности [FIFO][n++]
- пуск от таймера/считывание по прерыванию [FIFO][n++]
- пуск от таймера/считывание по каналу DMA [n++]

[] = дополнительные опции режима

[n++] = аппаратное переключение каналов плат расширения AIMUX-32, MUX-16 (автосканирование)

[FIFO] = запись выборок в FIFO

Программный запуск/Считывание в опросе

В этом режиме запуск АЦП производится программно - записью 1 в бит ST_RDY (Start /Ready) контрольного регистра, а считывание данных производится после установки того же бита ST_RDY, который сбрасывается на время преобразования (см. примеры poll_con.c, st_rdy.c).

Запуск таймера

AI8S-5A имеет 16-разрядный таймер, который может быть использован для периодического запуска аналого-цифрового преобразования. Для включения таймера необходимо записать требуемый период счета в регистр MAXC и установить бит TMR контрольного регистра. Выключение таймера производится сбросом бита TMR.

ВНИМАНИЕ !

Если бит FAST контрольного регистра не установлен, запуск преобразования от таймера (кроме первого после включения таймера) осуществляется только после чтения данных АЦП.

Пуск от таймера/Считывание в опросе

В этом режиме запуск АЦП производится от таймера, а считывание данных - по биту ST_RDY. Для перехода в данный режим достаточно запустить таймер. Если установлен бит n++, то после преобразования произойдет автоматическое переключение AIMUX-32 на следующий вход.

ВНИМАНИЕ !

Для режимов с запуском от таймера (кроме опции FIFO) бит ST_RDY устанавливается по завершению аналого-цифрового преобразования. Сброс бита ST_RDY - только после чтения регистра данных АЦП.

Пуск от таймера/Считывание по прерыванию

В этом режиме запуск АЦП производится от таймера, а считывание по прерыванию.

Прерывание формируется в зависимости от используемых опций запуска:

- 8 выборок завершено
- верхняя граница FIFO достигнута (опция **[FIFO]**)

Прерывание снимается после чтения **данных АЦП₇** или **FIFO**.

Для перехода в этот режим необходимо установить бит **INT контрольного регистра** и запустить таймер (см. пример `osc_int.c`). Если бит **n++** установлен, то переключение AIMUX-32 на следующий аналоговый вход происходит автоматически с циклом 32.

Пуск от таймера/ Считывание по каналу DMA

Максимальную скорость передачи данных из модуля AI8S-5A (до 1.6 Мбайт/сек.) можно достигнуть при работе с каналом прямого доступа к памяти (DMA).

В этом режиме запуск АЦП производится от таймера, а считывание данных по каналу DMA.

При работе по каналу DMA модуль AI8S-5A по окончании преобразования формирует запрос канала DRQx и удерживает его до тех пор, пока контроллер DMA процессора не считывает 16 байт **данных АЦП**.

Для перехода в этот режим необходимо, установить бит **DMA контрольного регистра** и запустить таймер (см. пример `osc_dma.c`).

Если бит **n++** установлен, то переключение входов AIMUX-32 происходит автоматически. Выборки располагаются в памяти в соответствии порядком считывания данных АЦП, начиная с канала **0** (см. Табл.1).

Табл.1

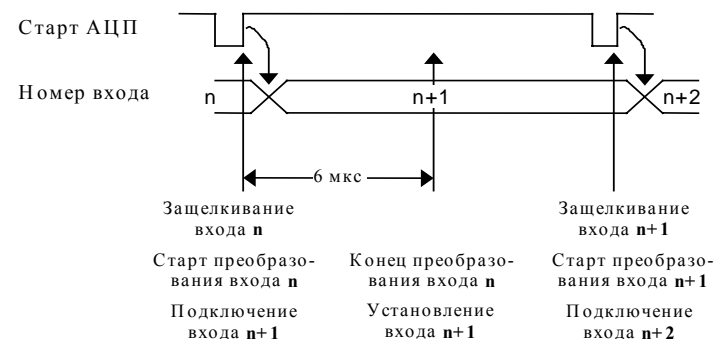
Относительный адрес в памяти	Выборка входа при бите n++=0	Выборка входа при бите n++=1
+0	$\pm Ai0$	$\pm Ai0$
+2	$\pm Ai1$	$\pm Ai1$
+4	$\pm Ai2$	$\pm Ai2$
...
+12	$\pm Ai6$	$\pm Ai6$
+14	$\pm Ai7$	$\pm Ai7$
+16	$\pm Ai0$	$\pm Ai8$
+18	$\pm Ai1$	$\pm Ai9$
+20	$\pm Ai2$	$\pm Ai10$
+22	$\pm Ai3$	$\pm Ai11$
+24	$\pm Ai4$	$\pm Ai12$
...
+30	$\pm Ai7$	$\pm Ai15$
+32	$\pm Ai0$	$\pm Ai16$
...

Выбор входа плат расширения AIMUX-32, MUX-16

Перед запуском аналого-цифрового преобразования необходимо выбрать требуемый канал в платах расширения. Номер канала может устанавливаться программно (в **регистре цифровых выходов**) или аппаратно по **+1**, если установлен бит **n++** в **контрольном регистре** (автосканирование).

ВНИМАНИЕ ! При программном изменении номера канала перед запуском АЦПх необходима пауза не менее 7 мкс для установления канала измерения.

При автосканировании пауза не требуется, т.к. подключение входа **n+1** происходит одновременно с аналого-цифровым преобразованием входа **n** (см.рис.).



Запись выборок в FIFO [FIFO]

Модуль AI8S-5A имеет FIFO размером 1 Кслов для записи выборок АЦП. Использование FIFO позволяет сократить затраты системы по считыванию данных АЦП и работать с модулем в реальном масштабе времени, если **скорость считывания** данных из модуля **не меньше скорости записи**. В противном случае необходимо снизить скорость преобразования или воспользоваться каналом DMA.

Для записи выборок в FIFO необходимо установить бит **FIFO** в **контрольном регистре**. Для контроля заполнения FIFO можно использовать биты **EF**, **HF**, **FF** или бит программируемой верхней границы **END_FIFO** в **регистре управления FIFO**. (см. пример `osc_int.c`). Возможность программирования верхней границы позволяет эффективно использовать FIFO при работе с прерываниями и избежать пропуска данных. Порядок записи выборок в FIFO соответствует Табл.1.

Назначение портов

Управление платой AI8S-5 осуществляется через порты ввода-вывода. Адреса портов задаются относительно **Базового Адреса (BA)**.

Контрольный регистр доступен для **записи** и **чтения** (чтение возможно только при бите BANK=1 и только байта BA+0) через байтовые порты с адресом BA+0, BA+1 или словный порт BA+0 и имеет формат:

Контрольный регистр

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+0	ST_RDY	DRQ1/3 AO_RDY	BANK	TMR	10/1	DMA	INT	n++
BA+1	FAST	SINGLE	SHARE	NWr	FIFO	-	-	1/10

n++ Автосканирование. При установке бита номер входа плат расширения AIMUX-32, MUX-16 увеличивается на +1 после запуска преобразования (начиная со значения установленного в **регистре цифровых выходов**, затем с циклом **32**). Сброс бита запрещает автосканирование. Бит **должен быть сброшен** при **смешанном подключении**.

INT Разрешение генерации прерываний (IRQx). Установка бита разрешает генерацию, сброс бита - запрещает.

DMA Разрешение генерации запросов канала DMA (DRQx). Установка бита разрешает генерацию, сброс бита - запрещает.

10/1 Делитель входной частоты таймера. При установленном бите входная частота 1МГц делится на **10**, при сброшенном - нет.

TMR Запуск от таймера. Установка бита разрешает запуск аналого-цифровое преобразование всех каналов от внутреннего таймера. Период счета таймера задается в регистре MAXC. Сброс бита запрещает запуск АЦП от таймера.

BANK Банк портов (см. далее).

DRQ3/1 Канал DMA (запись) или готовность ЦАП(чтение). Выбор канала DMA осуществляется только при бите **DMA=1**. При установке бита **DRQ3/1** используется линия DRQ3/DACK3, при сбросе - DRQ1/DACK1. При чтении бита **AO_RDY** можно определить готовность цифро-аналогового преобразователя. Бит **AO_RDY** сбрасывается на время выдачи информации из регистра данных ЦАПов (примерно 10 мкс) и устанавливается после завершения выдачи.

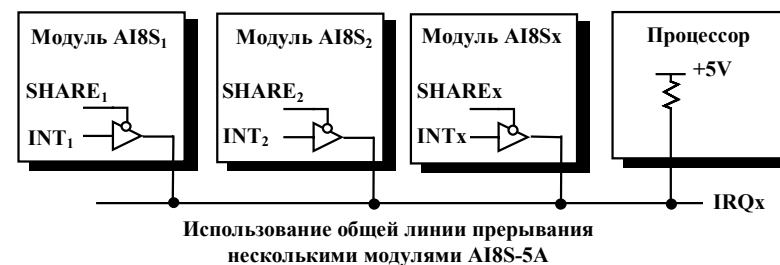
ST_RDY Старт/Готовность АЦП₀ - АЦП₇. Запись **1** в этот бит запускает аналого-цифровое преобразование всех каналов. При чтении бита можно определить момент окончания преобразования (**1** - окончено, **0** - нет). При работе с таймером бит устанавливается по завершении преобразования, сброс бита - только после чтения **регистра данных АЦП₇**.

NWr Запись номера входа в выборку. Установка бита разрешает запись двух младших разрядов номера входа в 15, 14 бит выборки АЦП. При сброшенном бите в 15, 14 бит выборки АЦП записывается знак (дополнительный код).

10/1 Умножение частоты таймера. При установленном бите частота таймера 1МГц умножается на **10**, при сброшенном - нет.

FIFO Запись измерений в FIFO. Установка бита разрешает запись выборок АЦП в FIFO. Сброс бита запрещает - запись в FIFO выборок.

SHARE Признак разделения линии прерывания. При сброшенном бите, линия прерываний, установленная группой перемычек IRQ[7:3] может быть использована только данным модулем. При установке бита линия прерываний становится доступна всем модулям AI8S-5, где установлен данный бит.



SINGLE Признак режима "single" контроллера DMA. При записи **1** в данный бит сигнал DRQx сбрасывается после чтения 16-ти байт данных АЦП, что необходимо при работе с контроллером 8237A в режиме "single" и модулем CPU188-5. При записи **0** в данный бит сигнал DRQx сбрасывается после чтения 15-ти байт данных АЦП, что необходимо для контроллера 8237A в режиме "demand".

FAST Признак "ускоренного" режима. Установка бита в **1** разрешает запуск АЦП до окончания цикла DMA и позволяет получить максимальную скорость передачи за счет конвейеризации преобразования и считывания. При сброшенном бите запуск АЦП блокируется до окончания цикла DMA.

ВНИМАНИЕ ! В режиме **FAST** период работы таймера должен соответствовать формуле: $MAXC \geq T_{DMA} + 4 \text{ мкс}$, где T_{DMA} – время передачи 16-ти байт по DMA (5-6 мкс для модуля CPU188-5 и 18-25 мкс для контроллера 8237A в режиме "demand")

ВНИМАНИЕ ! После включения питания и **RESET** все биты контрольного регистра сброшены, кроме **ST_RDY** и **BANK**.

Регистры данных АЦП₀... АЦП₇ имеют размер 16 бит и доступны для чтения через порты с адресами **BA+0 .. BA+14** (при бите BANK=0).

Регистры данных АЦП₀... АЦП₇

Адрес	BANK	D15	D14	D13	D12	...	D0
BA+0	0	ADC ₀ 13 0	ADC ₀ 13 0	ADC ₀ 13	ADC ₀ 12	...	ADC ₀ 0
BA+2	0	ADC ₁ 13 0	ADC ₁ 13 1	ADC ₁ 13	ADC ₁ 12	...	ADC ₁ 0
...
BA+12	0	ADC ₆ 13 1	ADC ₆ 13 0	ADC ₆ 13	ADC ₆ 12	...	ADC ₆ 0
BA+14	0	ADC ₇ 13 1	ADC ₇ 13 1	ADC ₇ 13	ADC ₇ 12	...	ADC ₇ 0

ADCx[13:0] 14-разрядный код АЦП_x (x=0..7) выборка с размноженным знаком (см. Табл.2) или двумя младшими разрядами номера входа (при бите NW₇=1).

Табл. 2.

Входное напряжение АЦП	Выходной код АЦП
$+\frac{1}{2}FSR^1 - 1LSB^2$	1FFEh-1FFFh
$+\frac{1}{2}FSR - 2LSB$	1FFDh-1FFEh
...	...
AGND + 1LSB	0000h-0001h
AGND	FFFFh-0000h
AGND - 1LSB	FFFEh-FFFFh
...	...
$-\frac{1}{2}FSR + 2LSB$	E001h-E002h
$-\frac{1}{2}FSR + 1LSB$	E000h-E001h

¹ FSR = 20 В (полная шкала измерения АЦП)

² LSB = FSR/16384 ≈ 1.22 мВ (младший значащий разряд АЦП)

ВНИМАНИЕ ! При измерении токовых сигналов необходим пересчет значения LSB с учетом шунтирующего резистора: $LSB = FSR/R_{ш}/16384 \approx 9.84 \text{ мкА}$

Регистр цифровых выходов доступен по записи через словный порт с адресом **BA+2** и имеет формат:

Регистр цифровых выходов

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+2	Out7	Out6	Out5	Out4	Out3	Out2	Out1	Out0
BA+3	Out15	Out14	Out13	Out12	Out11	Out10	Out9	Out8

OUT[15:0] Цифровые выходы.

ВНИМАНИЕ ! Если установлен бит **n++**, значение разрядов **OUT[12:8]** увеличивается на **1** после каждого запуска АЦП_x (с циклом 32), а вместо битов **OUT15,14** выдается код **G[1:0]x** из ОЗУ коэффициентов усиления для плат AIMUX-32.

Регистр MAXC доступен по записи через порт с адресом **BA+4**. Этот 16-ти разрядный регистр задает период счета таймера (от 100 нс до 655,35 мкс). Дискретность счета задается периодом входной частоты таймера (1 мкс, 10 мкс и 100 нс).

Регистр MAXC

Адрес	D15...D0
BA+4	MAXC

ВНИМАНИЕ ! При использовании таймера для запуска АЦП период не должен быть менее **10 мкс**.

ОЗУ коэффициентов усиления плат AIMUX-32 доступно по записи через порты с адресами **BA+6...9** и имеет формат:

ОЗУ коэффициентов усиления

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+6	GF ₁₃	GF ₀₃	GF ₁₂	GF ₀₂	GF ₁₁	GF ₀₁	GF ₁₀	GF ₀₀
BA+7	GF ₁₇	GF ₀₇	GF ₁₆	GF ₀₆	GF ₁₅	GF ₀₅	GF ₁₄	GF ₀₄
BA+8	GF ₁₁₁	GF ₀₁₁	GF ₁₁₀	GF ₀₁₀	GF ₁₉	GF ₀₉	GF ₁₈	GF ₀₈
BA+9	GF ₁₁₅	GF ₀₁₅	GF ₁₁₄	GF ₀₁₄	GF ₁₁₃	GF ₀₁₃	GF ₁₁₂	GF ₀₁₂

GF[1:0]x, Код коэффициента усиления входа плат AIMUX-32, x=0...15 (соответствует коду разрядов **OUT[11:8]**) (см.

Табл. 3.).

Табл. 3

Коэф.усиления AIMUX-32	GF1x	GF0x
1	0	0
2 (10)	0	1
4 (100)	1	0
8 (1000)	1	1

Регистр управления FIFO доступен по записи и чтению через байтовый порт с адресом **BA+11**.

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+11	FIFO_END	FF	HF	EF	-	-	-	-
	-	RTF	-	RSF	E3	E2	E1	E0

EF FIFO пусто (Empty FIFO). Бит установлен, если FIFO не заполнено (все данные считаны или не записаны). Бит сброшен, если в FIFO записан или не считан хотя бы 1 байт данных.

HF Половина FIFO заполнена (Half Full FIFO). Бит устанавливается, если заполнена первая половина FIFO (512 слов) и сброшен в противном случае.

FF FIFO заполнено (Full FIFO). Бит устанавливается, если FIFO заполнено полностью (1024 слов). Бит сброшен, если FIFO не заполнено.

ВНИМАНИЕ ! После заполнения FIFO все последующие записи данных **блокируются**.

FIFO_END Достигнута программируемая верхняя граница FIFO. Бит устанавливается, если FIFO заполнено до верхней границы, установленной кодом **E[3:0]** (при этом запись в FIFO продолжается). Бит сброшен, если граница не достигнута. Если включен бит **FIFO** в **контрольном регистре**, бит **ST_RDY** отображает состояние бита **FIFO_END**, он же транслируется на линию прерываний, если включен бит **INT**.

E[3:0] Код верхней границы FIFO (от 0 до 15). Используется для установки верхней границы FIFO. Верхняя граница вычисляется по формуле: $512 + 32 \times E[3:0]$ слов и для $E[3:0]=15$, например, равна 992 словам.

ВНИМАНИЕ ! Программируемая верхняя граница всегда меньше 1K слов для того, чтобы за время от достижения границы до начала считывания данных, FIFO не заполнилось полностью, что может привести к потере данных.

RSF Сброс FIFO (ReSet FIFO). При записи 1 в данный бит указатели записи и чтения FIFO устанавливаются на первую ячейку.

RTF Повторное чтение FIFO (ReTransmit FIFO). При записи 1 в данный бит указатель чтения FIFO устанавливается на первую ячейку, а указатель записи остается неизменным.

Регистр данных FIFO доступен по чтению через байтовые порты **BA+12**, **BA+13** или словный порт с адресом **BA+12**.

Регистр данных FIFO

Адрес	D15	D14	D13	D12	...	D2	D1	D0
BA+12	D15	D14	D12	D12	...	D2	D1	D0

D[15:0] 16-разрядные данные FIFO выборки.

Регистр данных ЦАП_{1/0} доступен по записи через словный порт с адресом **BA+14** при бите **BANK=1**.

Регистр данных ЦАП_{1/0}

Адрес	BANK	D15	D14	D13	D12	D11	...	D1	D0
BA+14	1	-	-	-	DAC1/0	DAC11	...	DAC1	DAC0

DAC[11:0] 12-разрядный код ЦАП (без знака). Вес младшего разряда определяется выходным диапазоном и рассчитывается по формуле $LSB = FSR/4096$

DAC1/0 Номер ЦАП. Бит должен быть установлен при записи данных в ЦАП₁ и сброшен для ЦАП₀.

ВНИМАНИЕ ! Загрузка данных в ЦАП должна производиться только при установленном бите **AO_RDY** в **контрольном регистре**, начинается сразу после записи в регистр данных ЦАП и заканчивается примерно через 10 мкс.

Идентификатор модуля соответствует поставочной конфигурации и доступен по чтению через байтовые порты с адресами **BA+14**, **15** (при бите **BANK=1**).

Идентификатор модуля

Адрес	BANK	D7	D6	D5	D4	D3	D2	D1	D0
BA+14	1	'A'							
BA+15	1	SN7	SN6	SN5	SN4	SN3	SN2	SN1	SN0

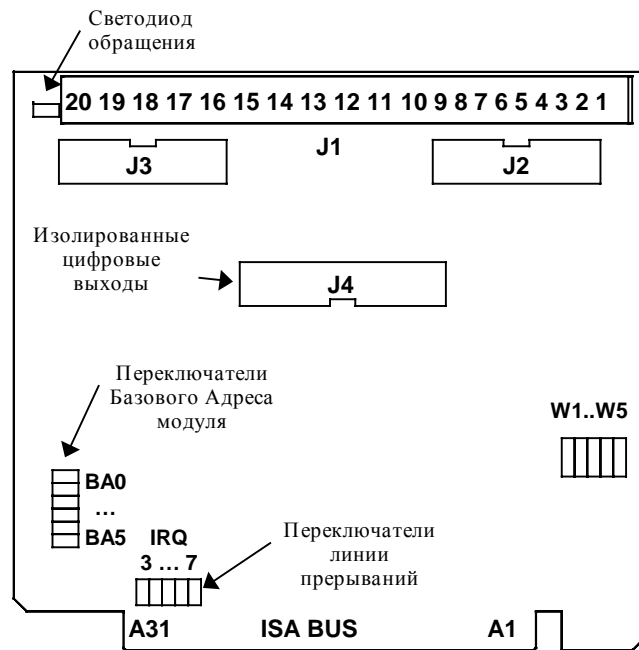
'A' ASCII- код буквы А.

SN[7:0] Код номера (**SN[7:0]** = код идентификатора модуля AI8S-5A см. Табл.).

Конфигурация	АЦП	ЦАП _{0/1}	Идентификатор
1	14-бит	5; ±5; 10 В	'A087'
2	14-бит	0-20; 4-20 мА	'A187'

Глава 4 ТЕХНИЧЕСКИЕ ДАННЫЕ

Расположение компонентов платы



Технические характеристики

Напряжение питания	+5 В ± 5% @ 300 мА
Рабочий температурный диапазон	-40°C...+85°C
Температура хранения	-55°C...+95°C
Относительная влажность воздуха	95% при +25°C

Таблицы контактов разъемов

Таблица контактов разъема ISA ряд А

Конт.	Название	Сигнал	Конт.	Название	Сигнал
A1	ЮСНК*	-	A17	SA14	-
A2	SD7	Вх./Вых.	A18	SA13	-
A3	SD6	Вх./Вых.	A19	SA12	-
A4	SD5	Вх./Вых.	A20	SA11	-
A5	SD4	Вх./Вых.	A21	SA10	-
A6	SD3	Вх./Вых.	A22	SA9	Вх.
A7	SD2	Вх./Вых.	A23	SA8	Вх.
A8	SD1	Вх./Вых.	A24	SA7	Вх.
A9	SD0	Вх./Вых.	A25	SA6	Вх.
A10	ЮСНРДY	Вых.	A26	SA5	Вх.
A11	AEN	Вх.	A27	SA4	Вх.
A12	SA19	-	A28	SA3	Вх.
A13	SA18	-	A29	SA2	Вх.
A14	SA17	-	A30	SA1	Вх.
A15	SA16	-	A31	SA0	Вх.
A16	SA15	-			

Таблица контактов разъема ISA ряд В

Конт.	Название	Сигнал	Конт.	Название	Сигнал
B1	0V	Вх.	B17	DACK1*	Вх.
B2	RESET	Вх.	B18	DRQ1	Вых.Т.С
B3	+5V	Вх.	B19	DACK0*	-
B4	IRQ9	-	B20	BCLK	Вх.
B5	-5V	-	B21	IRQ7	Вых.Т.С
B6	DRQ2	-	B22	IRQ6	Вых.Т.С
B7	-12V	-	B23	IRQ5	Вых.Т.С
B8	0WS*	-	B24	IRQ4	Вых.Т.С
B9	+12V	-	B25	IRQ3	Вых.Т.С
B10	GND	Вх.	B26	DACK2*	-
B11	SMEMW*	-	B27	TC	-
B12	SMEMR*	-	B28	BALE	-
B13	IOW*	Вх.	B29	+5V	-
B14	IOR*	Вх.	B30	OSC	-
B15	DACK3*	Вх.	B31	0V	Вх.
B16	DRQ3	Вых.Т.С			

Таблица контактов разъемов J1, J2, J3: Аналоговые входы

Конт. разъема	J1:название сигнала	J2:название сигнала	J3:название сигнала
1	DAC0	+AI 0	+AI 4
2	DAC1	AGND	AGND
3	+AI 0	-AI 0	-AI 4
4	-AI 0	AGND	AGND
5	+AI 1	+AI 1	+AI 5
6	-AI 1	AGND	AGND
7	+AI 2	-AI 1	-AI 5
8	-AI 2	AGND	AGND
9	+AI 3	+AI 2	+AI 6
10	-AI 3	AGND	AGND
11	+AI 4	-AI 2	-AI 6
12	-AI 4	AGND	AGND
13	+AI 5	+AI 3	+AI 7
14	-AI 5	AGND	AGND
15	+AI 6	-AI 3	-AI 7
16	-AI 6	AGND	AGND
17	+AI 7	DAC0	-
18	-AI 7	AGND	AGND
19	AGND	DAC1	-
20	AGND	AGND	AGND

Таблица контактов разъема J4: Цифровые выходы

Конт. разъема	Название сигнала	Конт. разъема	Название сигнала
19	Out8	10	Out0
21	Out9	8	Out1
23	Out10	4	Out2
25	Out11	6	Out3
24	Out12	1	Out4
22	Out13	3	Out5
20	Out14	5	Out6
18	Out15	7	Out7
2	+5V	26	GND

ПОСТАВочНЫЕ КОНФИГУРАЦИИ AI8S-5A

Модель	Диапазоны выходных сигналов
AI8S-5A-1	0-5 В, 0-10 В
AI8S-5A-2	0-20 мА, 4-20 мА

Глава 5 ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА.

Fastwel Corporation (Fastwel) гарантирует, что в поставляемых им стандартных технических средствах не проявятся дефекты изготовления и примененных материалов при соблюдении норм эксплуатации и обслуживания в течении установленного на данный момент гарантийного срока. Обязательство Fastwel по этой гарантии состоит в бесплатном ремонте или замене любого дефектного электронного компонента, входящего в состав возвращенного изделия. Fastwel не берет на себя никакой иной ответственности, связанной с продажей, установкой или использованием его продукции. Fastwel не несет ответственности за любой прямой и косвенный ущерб, возникший из фактов продажи, задержки в доставке, установки или использования его продукции.

Продукция, вышедшая из строя по вине Fastwel в течение гарантийного срока, будет отремонтирована бесплатно. В иных случаях клиенту будет выставлен счет из расчета текущих ставок оплаты труда и стоимости материалов.

Гарантийный срок на изделия Fastwel - 36 месяцев со дня продажи.

Вышеобъявленные гарантийные обязательства не распространяются на :

1. Изделия, включая программное обеспечение, которые ремонтировались или в которые были внесены изменения персоналом, не представляющим Fastwel, кроме случаев, когда покупатель отремонтировал или внес изменения в изделия строго в соответствии с инструкциями, предварительно утвержденными Fastwel в письменной форме.
2. Изделия, вышедшие из строя из-за изменения полярности источника питания на противоположную, неправильной эксплуатации или хранения, неправильной установки или несчастного случая.

Порядок возврата изделий для проведения ремонта.

1. Обратиться в фирму ПРОСОФТ или к любому официальному дилеру фирмы ПРОСОФТ за разрешением на возврат изделия.
2. Приложить к возвращаемому изделию акт установления неисправности в форме, принятой у пользователя, с указанием перечня обстоятельств и признаков возникшей неисправности.
3. Поместить изделие в антистатическую упаковку, в которой изделие находилось при поставке. При отсутствии антистатической упаковки пользователь будет лишен права на гарантийное обслуживание.
4. Расходы по доставке изделия в фирму ПРОСОФТ или к любому официальному дилеру фирмы ПРОСОФТ несет пользователь.